

Reference 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-034234
 (43)Date of publication of application : 09.02.2001

(51)Int.CI. G09G 3/36
 G02F 1/133
 G09G 3/20

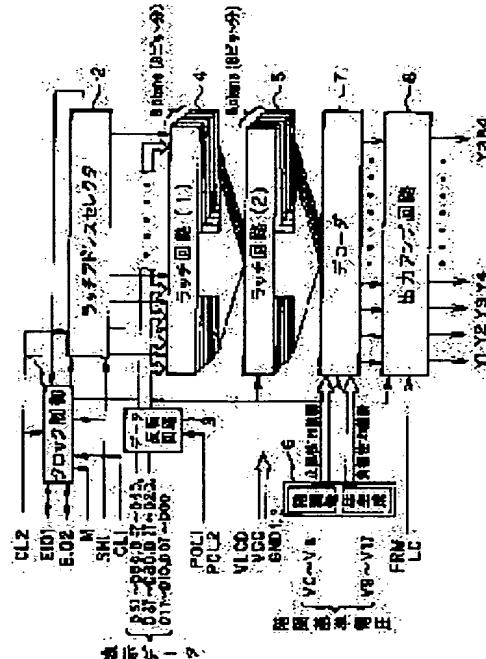
(21)Application number : 11-206468 (71)Applicant : HITACHI LTD
 HITACHI DEVICE ENG CO LTD
 HITACHI ULSI SYSTEMS CO LTD
 (22)Date of filing : 21.07.1999 (72)Inventor : AKIYAMA KENICHI
 YAMASHITA YUJI
 YU HIRONOBU
 GOTO MITSURU
 YASUKAWA SHINJI
 KODERA KOICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the number of decoding circuits and the number of wires and to suppress an increase in chip size by generating voltage outputs of two gradations only by an output amplifier circuit, and to obtain high resolution and multiple gradations and to make frames narrow.

SOLUTION: On the basis of gradation reference voltages V0 to V8, and V9 to V17, a gradation voltage generating circuit 6 generates in a chip each independently 129 positive-side gradations and 19 negative-side gradations as gradation voltages and supplies them to a decoder 7. To generate two gradations only by an amplifier circuit through voltage composition of an output amplifier circuit 8, one gradation voltage for the composition is added and the voltages of 129 gradations are necessary. The decoder 7 selects the gradation voltage generated by the generating circuit 6 corresponding to inputted display data and inputs the gradation voltage to an output amplifier circuit 8. The output amplifier circuit 8 amplifies the inputted gradation voltage with a current to generate drain driver outputs Y1 to Y84 to be inputted to video signal lines of a display panel, and the voltage is written to pixels with the outputs.



LEGAL STATUS

[Date of request for examination] 28.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-34234

(P2001-34234A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.
G 0 9 G 3/36
G 0 2 F 1/133 5 5 0
5 7 5
G 0 9 G 3/20 6 2 3

識別記号

F I
G 0 9 G 3/36
G 0 2 F 1/133
G 0 9 G 3/20

テマコード(参考)
2 H 0 9 3
5 C 0 0 6
5 C 0 8 0
K
6 2 3 E

審査請求 未請求 請求項の数17 OL (全 25 頁) 最終頁に続く

(21)出願番号 特願平11-206468

(22)出願日 平成11年7月21日(1999.7.21)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号

(74)代理人 100093506

弁理士 小野寺 洋二

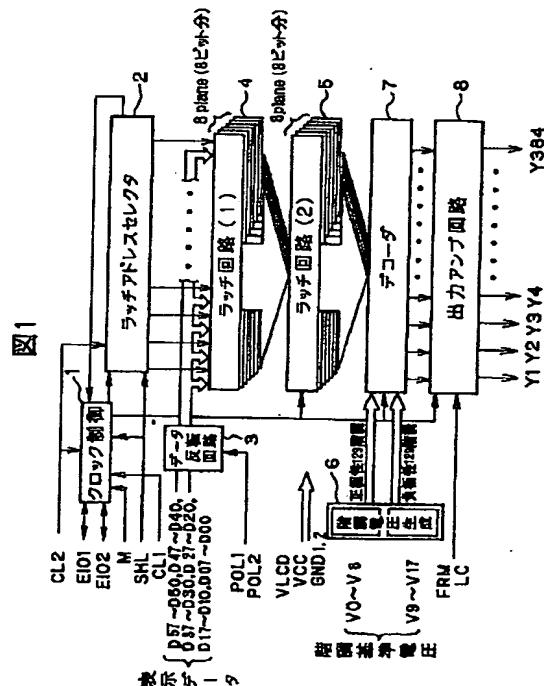
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】デコード回路数、配線数を削減してチップサイズの増大を抑えて高解像度かつ多階調と共に狭額縫化を図る。

【解決手段】複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、上記映像信号線駆動手段はk個の階調基準電圧を出力する電源回路と、上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の階調生成回路と、階調電圧を增幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数の出力アンプ回路8、および出力選択回路11と、k個の階調基準電圧を分圧してm階調の階調電圧を生成し、その中の同一電位を含む2つの階調電圧を選択して階調電圧配線に出力する階調電圧生成手段を有し、上記出力アンプ回路8は、上記階調電圧生成手段で選択された2つの階調電圧を入力して2つの階調電圧の中間階調電圧を生成してm×2階調の階調電圧を出力する。



【特許請求の範囲】

【請求項1】複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、

上記映像信号線駆動手段はk個の階調基準電圧を出力する電源回路と、上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の階調生成回路と、階調電圧を增幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数の出力アンプ回路、および出力選択回路と、k個の階調基準電圧を分圧してm階調の階調電圧を生成し、その中の同一電位を含む2つの階調電圧を選択して階調電圧配線に出力する階調電圧生成手段を有し、

上記出力アンプ回路は、上記階調電圧生成手段で選択された2つの階調電圧を入力して上記2つの階調電圧の中間階調電圧を生成して $m \times 2$ 階調の階調電圧を出力することを特徴とする液晶表示装置。

【請求項2】前記アンプ回路は、その入力部に2つの入力を持ち、当該2つの入力に同一の電圧(V1, V1)を入力したとき、その出力に電圧V1が出力され、上記2つの入力に異なる電圧(V1, V3)を入力したとき、その出力に $V1 < V2 < V3$ を満足する電圧V2を出力することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有する階調電圧選択回路であり、上記n個の表示データを分割使用することで前記m個階調の階調電圧の中から同一電位を含む2つの階調電圧を選択可能としたことを特徴とする請求項1に記載の液晶表示装置。

【請求項4】前記階調電圧生成手段としてn個の表示データの一部あるいは全部をデコードするスイッチング素子と、上記スイッチング素子によりオン/オフする階調電圧配線に直列に挿入されたスイッチング素子とから構成され、前記表示データが増加しても上記階調電圧配線に直列に挿入されたスイッチング素子数を増加することなく、上記階調電圧配線上のスイッチング素子の全オン抵抗の増大を抑制したことを特徴とする請求項1に記載の液晶表示装置。

【請求項5】複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、

上記映像信号線駆動手段は、k個の階調基準電圧を出力する電源回路と、上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の階調生成回路と、階調電圧を增幅して表示データに対応する映像信号電圧

を各映像信号線に出力する複数の出力アンプ回路および出力選択回路と、k個の階調基準電圧を分圧してm階調の階調電圧を生成し、その中の複数の階調電圧を選択して階調電圧配線に出力する階調電圧生成手段を有し、上記出力アンプ回路は、上記階調電圧生成手段で選択された複数の階調電圧を入力して必要とする階調電圧を生成して必要階調分の映像信号電圧を生成することを特徴とする液晶表示装置。

【請求項6】前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有し、上記n個の表示データを分割して使用することで前記m階調の階調電圧の中から複数の階調電圧を選択可能とした階調電圧選択回路であることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有し、上記n個の表示データを分割して使用することで前記m階調の階調電圧配線を必要階調電圧配線数以下の本数で構成可能とした階調電圧選択回路であることを特徴とする請求項5に記載の液晶表示装置。

【請求項8】前記階調電圧生成手段はn個の表示データの一部あるいは全部をデコードするスイッチング素子を有し、上記スイッチング素子を前記階調電圧配線に直列に挿入したことを特徴とする請求項5に記載の液晶表示装置。

【請求項9】前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有し、前記n個の表示データを分割する手段として当該n個の表示データをc個のブロックに分割し、各ブロックから1出力の計c個出力して出力アンプ回路に入力する階調電圧選択回路であることを特徴とする請求項5に記載の液晶表示装置。

【請求項10】複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、

上記映像信号線駆動手段が上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の2つの出力を持つ階調生成回路と、階調電圧を電流増幅して上記a個の表示データに対応する映像信号電圧を各映像信号線に出力する複数の出力アンプ回路を持つ映像信号線駆動回路を有し、

上記映像信号線駆動回路が、上記階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調を選択する2種の階調電圧生成手段と共に前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合にはその階調電圧を上記出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には上記出力アンプ回路での電圧合成によりその間の階調電圧を出力することで、上記a個の表示データに対応したM階調電圧を

生成することを特徴とする液晶表示装置。

【請求項11】前記映像信号線駆動回路が、1階調あたりの電位差が小さい階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調電圧を選択する2種の階調電圧生成手段と共に、前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には、出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、

1階調当たりの電位差が大きい階調では、前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択して出力アンプ回路を介してそのまま出力することで前記a個の表示データに対応したM階調電圧を生成することを特徴とする請求項10に記載の液晶表示装置。

【請求項12】前記映像信号線駆動回路が、階調間電圧がリニアに推移する階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、

階調間電圧が非リニアに推移する階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択し出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする請求項10に記載の液晶表示装置。

【請求項13】前記映像信号線駆動回路が、白表示側のK階調と黒表示側のL階調を除く中間の階調では、前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、

白表示側のK階調と黒表示側のL階調では、前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択し、出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする請求項10に記載の液晶表示装置。

【請求項14】前記映像信号線駆動回路が、白表示側のK階調を除く階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同

じ階調電圧を選択する時と2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、白表示側のK階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択して出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする請求項10に記載の液晶表示装置。

【請求項15】前記映像信号線駆動回路が、黒表示側のL階調を除く階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、

20 黒表示側のL階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択して出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする請求項10に記載の液晶表示装置。

【請求項16】前記2つの出力を持つ階調電圧生成手段はa個の表示データに対応したスイッチング素子を有する階調電圧選択回路であって、前記a個の表示データに対応した前記M階調において $4n$ 階調が入力される選択回路群と $(4n+2)$ 階調が入力される選択回路群を有し、前記 $4n$ 階調が入力される選択回路群が1つの出力に対応し、前記 $(4n+2)$ 階調が入力される選択回路群がもう1つの出力に対応し、2つの出力はa個の表示データのうちの最下位ビットにより接続または非接続とするスイッチ手段を有することを特徴とする請求項10に記載の液晶表示装置。

【請求項17】前記2つの出力を持つ階調電圧生成手段はa個の表示データに対応したスイッチング素子を有する階調電圧選択回路であって、前記a個の表示データに

40 対応して前記出力アンプ回路での電圧合成によりその間の階調電圧を出力するN階調を $4n$ 階調が入力される選択回路群と $(4n+2)$ 階調が入力される選択回路群を有し、前記 $4n$ 階調が入力される選択回路群が1つの出力に対応し、前記 $(4n+2)$ 階調が入力される選択回路群がもう1つの出力に対応し、2つの出力はa個の表示データのうちの最下位ビットにより接続または非接続とするスイッチ手段を有し、前記出力アンプ回路での電圧合成をせずにそのまま出力する $(M-N)$ 階調では前記a個の表示データに対応した1つの階調電圧を前記階調生成回路の出力とすることを特徴とする請求項11～

15項の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、パーソナルコンピュータ、ワークステーション等の表示手段に用いる多階調表示が可能な液晶表示装置に関する。

【0002】

【従来の技術】パソコンなどのOA機器の表示デバイスとして液晶表示装置が広く用いられている。液晶表示装置は、交差させたストライプ状の電極の交点で画素を構成する単純マトリクス型と、各画素毎に薄膜トランジスタ(TFT)等の能動素子を備え、この能動素子をオン/オフするアクティブマトリクス型とに大別される。

【0003】アクティブマトリクス型の液晶表示装置は、TFT方式の液晶パネルと、この液晶パネルに設けた走査信号線(ゲート線)と映像信号線(ドレン線)にそれぞれ走査電圧、映像信号電圧を供給する走査信号線駆動手段(以下、ゲートドライバとも言う)、映像信号線駆動手段(以下、ドレインドライバとも言う)、およびパソコン等のホスト側から出力される各種の制御信号や表示データを上記ゲートドライバとドレインドライバに表示用信号として供給するための表示制御装置や内部電源回路を具備している。

【0004】図24は本発明を適用する液晶表示装置の概略構成を説明するブロック図である。この液晶表示装置を構成する液晶パネル281は薄膜トランジスタ型のアクティブマトリクス型液晶パネル(TFT-LCD)であり、その上辺に複数のドレインドライバ282と複数のゲートドライバ283が配置されている。

【0005】液晶パネル281は、3色の画素(ピクセル: Pix)赤(R)、緑(G)、青(B)1画素とする、例えば 1024×768 の画素から構成される。

【0006】パソコン等のホスト(ホストコンピュータ)側から出力される赤(R)、緑(G)、青(B)の3色の表示データ(映像信号)とクロック信号、表示タイミング信号、同期信号からなる制御信号はインターフェースコネクタ284を介して表示制御装置285に入力する。

【0007】表示制御装置285は制御信号に基づいて液晶パネルに表示させる形式の表示データを生成し、これをデータバスを介してドレインドライバ282に供給する。なお、同時に、表示開始タイミングクロック、ラインクロック、画素クロックなどのタイミング信号(キャリーリング入力、CL1、CL2)をドレインドライバ282に供給する。

【0008】また、内部電源回路286は表示階調を作成するための基準電圧(V9~V0)を生成してドレインドライバ282に供給すると共に、ゲートドライバ283に走査電圧(ゲート電圧)を印加する。

【0009】なお、各ドレインドライバ282は、所定数の映像信号線(ドレン線)ごとに割当られ、当該所定数のカウント後に次のドレインドライバに順次キャリーアウトを与えるようになっている。

【0010】ドレインドライバ282は、ドレン線に表示データに対応した階調電圧を生成する階調生成回路と、生成された階調電圧を増幅して表示データに対応する映像信号電圧を各ドレン線に出力する増幅回路を備えている。

【0011】また、TFT方式の液晶表示装置においては、液晶層の焼き付きを防止するために、ドレン線に印加する階調電圧は対向電極(以下、VCOM)に対する極性をフレーム毎に反転させる必要がある。これを実現する方法として、対向電極の極性も変化させるVCOM交流駆動と、対向電極は固定電位のままでドレン線を大きく変化させるドット反転駆動がある。

【0012】なお、この種の液晶表示装置に関する従来技術を開示したものとしては、例えば特開平9-281930号公報を挙げることができる。

【0013】

【発明が解決しようとする課題】近年のTFT方式のアクティブマトリクス型液晶表示装置は、液晶パネルの大型化、高解像度化、高画質化、低消費電力化の傾向にある。その上に、無駄なスペースを無くし、表示装置としての美観を保つために額縁部分を少しでも小さくすることが要望されている。

【0014】また、市場の成熟に伴い、液晶表示装置をより低価格化していくことが必須となっており、上記した額縁部分の縮小を含め、ドレインドライバのチップ面積をより小さくすることが要求されている。

【0015】さらに、ブラウン管に代わる大画面サイズの表示デバイスとしてのモニター用液晶パネルの普及に伴い、より高解像度で多階調の表示装置が要求されている。従来、特にノート型パソコン用液晶パネルでは64階調であったものが、モニター用液晶パネルでは256階調が必須となっている。

【0016】解像度においても、モニター用液晶パネルはXGAからSXGA、UXGAへと移り変わりつつあり、液晶パネルの負荷は増加する傾向にある。一方、1画面の表示速度は一定であるため、液晶パネル1ライン分の階調電圧書き込み時間はより短くなる。また、現状では従来と同等の輝度を得るために、大型、高解像度になる程、高電圧の階調電圧を印加する必要がある。

【0017】上記のような状況では、高解像度化、多階調化、高電圧化はチップサイズの増大につながり、コスト上昇を招く。

【0018】このような状況では、従来の、所謂トーナメント型デコーディング方式では、階調数と同等数のデコード回路が必要であり、多階調化に伴うチップサイズ増大の大きな要因となっており、額縁の縮小が困難であるとい

う問題があった。

【0019】図25は従来のトーナメント型デコーダ方式を用いたドレインドライバの構成例を説明する低電圧側専用回路の回路図である。なお、ドット反転駆動では、上記の低電圧側専用回路と対になる高電圧側専用回路を必要とする。高電圧側専用回路は、スイッチング素子であるMOSトランジスタを、図25のNMOSトランジスタに替えてPMOSトランジスタを用いて構成される点を除き、低電圧側専用回路と同一構成なので、説明は省略する。

【0020】このドレインドライバの低電圧側専用回路は、図のA端子に接続する図示の回路と同一構成の回路B、C、DがそれぞれB端子、C端子、D端子に接続して、それぞれに階調電圧V000～V063、V064～V127、V128～V191、V192～V255が入力するようになっている。

【0021】A端子～D端子に接続するトーナメント型デコーダは同一なので、ここでは、A端子に接続する階調電圧V000～V063に対応するトーナメント型デコーダのみを説明する。

【0022】A端子に接続するトーナメント型デコーダの入力端子D0N、D0P、D1N、D1P、…D6N、D6Pには表示データが入力し、V00、V01、…V63には64個の階調電圧が入力する。なお、NMOSトランジスタのBGは接地(GND)に接続される。

【0023】そして、出力端子YBには負極性側(低電圧側)のドレイン線駆動電圧を出力する。

【0024】図26はトーナメント型デコーダの全体構成を説明する概略図である。図中、V0～V255は階調電圧、デコーダ0～255はスイッチング素子であるMOSトランジスタ(図中、○で示す)8個で構成される。Vnは出力を示す。

【0025】このような構成では、8個の直列接続MOSトランジスタからなるデコード回路が256個必要であり、階調電圧生成回路の分圧回路(ラダー抵抗回路)から256本の配線(階調電圧配線)で階調電圧を入力する必要がある。

【0026】また、液晶パネルの高解像度化、大型化による液晶パネルの負荷の増大は、階調電圧の書き込み不足の原因となり、高画質化を妨げる要因である。

【0027】図27は階調電圧と書き込み時間の関係の説明図であり、横軸は書き込み時間を、縦軸は階調電圧を示す。図中、細線は従来の例ええば公称14インチ程度のSVGA、64階調表示パネルでの階調電圧と書き込み時間の関係を示し、太線は高解像度化、大型化した例ええば公称18インチ程度以上のXGA、SXGA、256階調表示パネルでの階調電圧と書き込み時間の関係を示す。

【0028】液晶パネルを高解像度化すると負荷が増大し、書き込み電圧の時定数が増大する。また画素数が増加

しても、1フレームの周期が変わらないため、階調電圧書き込みに要する時間は相対的に短縮する。さらに、多階調化により、表示データのビット数が増えると、デコーダ回路の抵抗が増加し、書き込み電圧の時定数が増加する。その結果、階調電圧の書き込み不足となる。

【0029】本発明の目的は、デコード回路数、配線数を削減してチップサイズの増大を抑えて高解像度かつ多階調とすると共に狭額縫化を図った液晶表示装置を提供することにある。

10 【0030】本発明の他の目的は、デコード回路のオン抵抗の増大を抑制して液晶パネルの高画質化を可能とした液晶表示装置を提供することにある。

【0031】

【課題を解決するための手段】上記目的は、出力アンプ回路(以下、単にアンプとも言う)のみで2階調の電圧出力を生成することにより達成される。また、多階調化によるデコード回路のオン抵抗の増加を抑制し、チップ内部の階調電圧の内部遅延を低減することにより達成される。上記目的を達成するための本発明の代表的な構成を記述すれば、以下のとおりである。

20 【0032】(1)：複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、上記映像信号線駆動手段はk個の階調基準電圧を出力する電源回路と、上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の階調生成回路と、階調電圧を増幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数の出力アンプ回路、および出力選択回路と、k個の階調基準電圧を分圧してm階調の階調電圧を生成し、その中の同一電位を含む2つの階調電圧を選択して階調電圧配線に出力する階調電圧生成手段を有し、上記出力アンプ回路は、上記階調電圧生成手段で選択された2つの階調電圧を入力して上記2つの階調電圧の中間階調電圧を生成してm×2階調の階調電圧を出力することを特徴とする。

30 【0033】(2)：(1)における前記アンプ回路は、その入力部に2つの入力を持ち、当該2つの入力に同一の電圧(V1, V1)を入力したとき、その出力に電圧V1が出力され、上記2つの入力に異なる電圧(V1, V3)を入力したとき、その出力にV1<V2<V3を満足する電圧V2を出力することを特徴とする。

【0034】(3)：(1)における前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有する階調電圧選択回路であり、上記n個の表示データを分割使用することで前記m個階調の階調電圧の中から同一電位を含む2つの階調電圧を選択可能としたことを特徴とする。

50 【0035】(4)：(1)における前記階調電圧生成手段としてn個の表示データの一部あるいは全部をデ

ードするスイッチング素子と、上記スイッチング素子によりオン／オフする階調電圧配線に直列に挿入されたスイッチング素子とから構成され、前記表示データが増加しても上記階調線圧配線に直列に挿入されたスイッチング素子数を増加することなく、上記階調電圧配線上的スイッチング素子の全オン抵抗の増大を抑制したことを特徴とする。

【0036】(5)：複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、上記映像信号線駆動手段は、k個の階調基準電圧を出力する電源回路と、上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の階調生成回路と、階調電圧を増幅して表示データに対応する映像信号電圧を各映像信号線に出力する複数の出力アンプ回路および出力選択回路と、k個の階調基準電圧を分圧してm階調の階調電圧を生成し、その中の複数の階調電圧を選択して階調電圧配線に出力する階調電圧生成手段を有し、上記出力アンプ回路は、上記階調電圧生成手段で選択された複数の階調電圧を入力して必要とする階調電圧を生成して必要階調分の映像信号電圧を生成することを特徴とする。

【0037】(6)：(5)における前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有し、上記n個の表示データを分割して使用することで前記m階調の階調電圧の中から複数の階調電圧を選択可能とした階調電圧選択回路であることを特徴とする。

【0038】(7)：(5)における前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有し、上記n個の表示データを分割して使用することで前記m階調の階調電圧配線を必要階調電圧配線数以下の本数で構成可能とした階調電圧選択回路であることを特徴とする。

【0039】(8)：(5)における前記階調電圧生成手段はn個の表示データの一部あるいは全部をデコードするスイッチング素子を有し、上記スイッチング素子を前記階調電圧配線に直列に挿入したことを特徴とする。

【0040】(9)：(5)における前記階調電圧生成手段はn個の表示データに対応したスイッチング素子を有し、前記n個の表示データを分割する手段として当該n個の表示データをc個のブロックに分割し、各ブロックから1出力の計c個出力して出力アンプ回路に入力する階調電圧選択回路であることを特徴とする。

【0041】上記の各構成としたことにより、チップサイズの増加を伴うことなく多階調化が実現でき、液晶パネルの高画質化、液晶表示装置の狭額縁化を達成でき、また、デコーダ回路のオン抵抗の増大を抑制でき、多階調化した液晶パネルの負荷を低減して高画質化が得られる。

【0042】(10)：複数の映像信号によりa個の表示データに対応する映像信号電圧が印加される複数の画素を有する液晶パネルと、a個の表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段を具備し、上記映像信号線駆動手段が上記各映像信号線にa個の表示データに対応した階調電圧を生成する複数の2つの出力を持つ階調生成回路と、階調電圧を電流増幅して上記a個の表示データに対応する映像信号電圧を各映像信号線に出力する複数の出力アンプ回路を持つ映像信号線駆動回路を有し、上記映像信号線駆動回路が、上記階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調を選択する2種の階調電圧生成手段と共に前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合にはその階調電圧を上記出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には上記出力アンプ回路での電圧合成によりその間の階調電圧を出力することで、上記a個の表示データに対応したM階調電圧を生成することを特徴とする。

【0043】(11)：(10)における前記映像信号線駆動回路が、1階調あたりの電位差が小さい階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調電圧を選択する2種の階調電圧生成手段と共に、前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には、出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、1階調当たりの電位差が大きい階調では、前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択して出力アンプ回路を介してそのまま出力することで前記a個の表示データに対応したM階調電圧を生成することを特徴とする。

【0044】(12)：(10)における前記映像信号線駆動回路が、階調間電圧がリニアに推移する階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、階調間電圧が非リニアに推移する階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択し出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする。

【0045】(13)：(10)における前記映像信号

11

線駆動回路が、白表示側のK階調と黒表示側のL階調を除く中間の階調では、前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と、2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、白表示側のK階調と黒表示側のL階調では、前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択し、出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする。

【0046】(14)：(10)における前記映像信号線駆動回路が、白表示側のK階調を除く階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、白表示側のK階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択して出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする。

【0047】(15)：(10)における前記映像信号線駆動回路が、黒表示側のL階調を除く階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択する時と2つの出力が異なる階調を選択する2種の階調電圧生成手段とともに前記階調生成回路の2つの出力とも同じ階調電圧を選択した場合には出力アンプ回路を介してそのまま出力し、2つの出力が異なる時には前記出力アンプ回路での電圧合成によりその間の階調電圧を出力し、黒表示側のL階調では前記a個の表示データに対応して前記2つの出力を持つ階調生成回路の2つの出力とも同じ階調電圧を選択して出力アンプ回路を介してそのまま出力することで、前記a個の表示データに対応したM階調電圧を生成することを特徴とする。

【0048】(16)：(10)における前記2つの出力を持つ階調電圧生成手段はa個の表示データに対応したスイッチング素子を有する階調電圧選択回路であって、前記a個の表示データに対応した前記M階調において4n階調が入力される選択回路群と(4n+2)階調が入力される選択回路群を有し、前記4n階調が入力される選択回路群が1つの出力に対応し、前記(4n+2)階調が入力される選択回路群がもう1つの出力に対応し、2つの出力はa個の表示データのうちの最下位ビットにより接続または非接続とするスイッチ手段を有す

12

ることを特徴とする。

【0049】(17)：(11)～(15)の何れかにおける前記2つの出力を持つ階調電圧生成手段はa個の表示データに対応したスイッチング素子を有する階調電圧選択回路であって、前記a個の表示データに対応して前記出力アンプ回路での電圧合成によりその間の階調電圧を出力するN階調を4n階調が入力される選択回路群と(4n+2)階調が入力される選択回路群を有し、前記4n階調が入力される選択回路群が1つの出力に対応し、前記(4n+2)階調が入力される選択回路群がもう1つの出力に対応し、2つの出力はa個の表示データのうちの最下位ビットにより接続または非接続とするスイッチ手段を有し、前記出力アンプ回路での電圧合成をせずにそのまま出力する(M-N)階調では前記a個の表示データに対応した1つの階調電圧を前記階調生成回路の出力とすることを特徴とする。

【0050】上記構成したことにより、M/2(総階調数が奇数の場合)またはM/2+1(総階調数が偶数の場合)の入力電圧からM階調の出力電圧を生成できるため、ドレインドライバの回路規模を低減でき、チップ面積の縮小が可能となり、液晶の特性に合った出力電圧を得ることができるために、TFT液晶パネルの低コスト化、液晶表示装置の額縁化が実現できる。

【0051】なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更がかかるうである。

【0052】

【発明の実施の形態】以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。

【0053】図1は本発明の第1実施例にかかるTFT方式アクティブマトリクス型液晶表示装置(以下、単にTFT液晶表示装置と称する)のドレインドライバの構成を示すブロック図である。ここでは、例として、8ビット(a=8)表示データによる256階調(M=256)、384出力のドレインドライバとして説明する。

【0054】このドレインドライバは、クロック制御回路1、ラッチアドレスセレクタ2、データ反転回路3、ラッチ回路(1)4、ラッチ回路(2)5、階調電圧生成回路6、デコーダ(階調電圧選択回路)7、および出力アンプ回路8とから構成される。なお、CL1、CL2、FRM、LC、EIO1、EIO2、M、SHL、POL1、POL2が各種クロックおよび制御信号であり、VLCD、VCC、GND1、2は各種の動作電圧である。

【0055】ラッチ回路(1)4とラッチ回路(2)5は、8ビット(256階調)×384個で構成され、デコーダ7は384個のデコードデータを出力し、また出力アンプ回路8は384個の表示データ(Y1～Y384)を出力する。

【0056】本実施例では、階調基準電圧V0～V8、

V9～V17に基づいて階調電圧生成回路6により階調電圧として正極性側129階調、負極性側129階調をチップ内部でそれぞれ独立に生成して、これをデコーダ7に供給する非対称駆動方式を採用している。なお、階調電圧として正極性側129(=128+1)階調、負極性側129(=128+1)階調を生成させる理由は、出力アンプ回路の電圧合成により当該アンプ回路のみで2階調を生成するため、最終階調は電圧合成により生成することになる。これを合成するための階調電圧を1つ加えて(256階調/2)+1=129階調の電圧を必要とするためである。

【0057】入力表示データ(D57～D50、D47～D40、D37～D30、D27～D20、D17～D10、D07～D00)はデータ反転回路3を通してラッチ回路(1)4に入力され、画素クロックCL2によって制御されるラッチアドレスセレクタ2にラッチ(保持)される。

【0058】ラッチ回路(1)4に保持された表示データは、液晶パネルの1走査線に同期したラインクロックCL1によってラッチ回路(2)5からデコーダ7に入力する。なお、以下では、デコーダはデコーダ回路とも称する。

【0059】このデコーダ7は、入力した表示データに対応して階調電圧生成回路6で生成された階調電圧を選択し、出力アンプ回路8に階調電圧を入力する。出力アンプ回路8は入力された階調電圧を電流増幅して表示パネルの映像信号線(ドレイン線)に入力するドレインドライバ出力Y1～Y384を生成し、この出力で画素に電圧を書き込む。

【0060】図2および図3は本実施例のドレインドライバの内部回路の説明図であり、図1と同一機能部分には同一符号を付してある。図中、45は図1におけるラッチ回路4と5、8aは低電圧側専用回路(図では、低*

$$\begin{array}{ll} \text{総階調数が奇数: } V_0, V_2, V_4, \dots, V_{(M-3)}, V_{(M-1)} & \leftarrow \text{総数 } M/2 \text{ 個} \\ \text{総階調数が偶数: } V_0, V_2, V_4, \dots, V_{(M-4)}, V_{(M-2)}, V_{(M-1)} & \leftarrow \text{総数 } M/2 + 1 \text{ 個} \end{array}$$

となる。

【0066】デコーダ7は2つの出力(Vin1, Vin2)を持ち、この出力を出力アンプ回路8の正入力(Vp1, Vp2)に入力する。出力アンプ回路8はこの入力に応じてVoutを出力する。

【0067】図5は出力アンプ回路の具体例の説明図であり、(a)は従来の出力アンプ回路、(b)は本実施例で使用する出力アンプ回路である。(a)の出力アンプ回路では、入力(Vp1)を電流増幅して出力(Vout)を生成する。すなわち、1つの入力に対して1つの出力をもつ。

【0068】これに対し、(b)に示したように本実施例の出力アンプ回路は、入力側のMOSトランジスタを二分割して2つの入力(Vp1, Vp2)に対して出力(Vout)を得るようにしてある。出力(Vout)は、入力(Vp1, Vp2)

*電圧専用回路と表記)、8bは高電圧専用回路(図では、高電圧専用回路と表記)、9はレベルシフタ回路、10は表示データマルチプレクサ、11は出力選択回路(出力マルチプレクサ)を示す。

【0061】ここで、ドット反転駆動方式の場合、図2と図3に示したように、隣接出力端子間で負極性側(低電圧側)、正極性側(高電圧側)を交互に出力することを利用して、低電圧専用回路8aと高電圧専用回路8bをそれぞれ出力端子全数ではなく、1/2づつ有することで、チップサイズの縮小を図っている。

【0062】また、ドット反転駆動するため、低電圧専用回路8aと高電圧専用回路8bに表示データを入れ替える表示データマルチプレクサ(MPX)10と出力マルチプレクサ11を低電圧専用回路8aと高電圧専用回路8bの前後に有している。

【0063】ラッチ回路45とレベルシフタ回路9は、低電圧専用回路と高電圧専用回路共に同様の回路を用いることができる。また、デコーダ回路7はチップサイズ縮小のために低電圧側専用回路8aと高電圧側専用回路8bで専用の回路を用いている。この回路は、図1の階調電圧生成回路6から供給される258個の階調電圧の中から同一階調の場合を含む2個の階調電圧を選択可能な回路としている点が特徴である。

【0064】図4は図2および図3に示した本実施例のドレインドライバの動作を説明するブロック図である。デコーダ回路7には表示データ(8ビットなら256階調、6ビットなら64階調、→ここでは8ビットなら256階調で説明)のうち、1つ置きの階調の電圧値が入力される。

【0065】ここで、総階調数が奇数の場合は単純に1つ置きで良いが、偶数の場合(通常は偶数)は最終階調を追加で入力する必要がある。したがって、入力階調は、

$$\begin{array}{ll} \text{総階調数が奇数: } V_0, V_2, V_4, \dots, V_{(M-3)}, V_{(M-1)} & \leftarrow \text{総数 } M/2 \text{ 個} \\ \text{総階調数が偶数: } V_0, V_2, V_4, \dots, V_{(M-4)}, V_{(M-2)}, V_{(M-1)} & \leftarrow \text{総数 } M/2 + 1 \text{ 個} \end{array}$$

※p1) と入力(Vp2)が共に同一の階調電圧(例えば、V2)である場合は、出力(Vout)はV2となり、入力(Vp1)と入力(Vp2)が隣接した階調電圧(例えば、V0とV2)であれば、出力(Vout)は上記2つの電圧を合成した中間の電圧V1となる。

【0069】図6は本実施例における階調電圧選択回路の内部構成を説明するブロック図であり、階調電圧選択回路はデコーダ7とマルチプレクサ11で構成される。デコーダ7では表示データの上位6ビットより入力された129階調の中から隣合う3階調分の階調電圧A, B, Cを選択し、これをマルチプレクサ11に供給する。マルチプレクサ11は表示データの下位2ビットによりA, B, Cの階調電圧から1個あるいは2個の階調電圧を選択してVout1, Vout2を出力する。

【0070】図7は図6に示した階調電圧選択回路の具

体例を説明する回路図である。この階調電圧選択回路は低電圧側（正極性側）の液晶電圧選択回路であり、NMOSトランジスタのみで構成してある。図中、○印で示したもののがNMOSトランジスタを示す。

【0071】なお、高電圧側（負極性側）の液晶電圧選択回路は、図7の入力表示データ（D2B, D2T, ..., D7B, D7T）の「B」と「T」を入替え、NMOSトランジスタを全てPMOSトランジスタにし、デ*

*コードブロックのMOSトランジスタのソース電位をVssとしたものとなる（図示は省略する）。

【0072】図7の回路動作を表1および表2に示す。なお、表1と表2は一つの表であり、表2は表1に続く。

【0073】

【表1】

開封 電圧 (伏)	デコード入力 番号	デジタル入力ビット						マルチプレクサ 入力電圧	マルチプレクサ 出力電圧	アンプ出力					
		D7	D6	D5	D4	D3	D2	A	B	C	D1	D0	Vin1	Vin2	
V000	-	0	0	0	0	0	0	-	-	-	0	0	V000	V000	
V001	0	0	0	0	0	0	0	V001	V002	V004	0	0	A	B	
V002	-	0	0	0	0	0	0	-	-	-	1	0	B	B	
V003	-	0	0	0	0	0	0	-	-	-	1	1	C	V003 (合成)	
V004	-	0	0	0	0	0	0	-	-	-	0	0	A	A	
V005	1	0	0	0	0	0	0	V004	V006	V008	0	0	A	B	
V006	-	0	0	0	0	0	0	-	-	-	1	0	B	B	
V007	-	0	0	0	0	0	0	-	-	-	1	1	B	C	
V008	-	0	0	0	0	0	1	0	-	-	0	0	A	A	
V009	2	0	0	0	0	0	1	0	V008	V010	V012	0	0	A	B
V010	-	0	0	0	0	0	1	0	-	-	1	0	B	B	
V011	-	0	0	0	0	0	1	0	-	-	1	1	C	V011 (合成)	
V012	-	0	0	0	0	0	1	1	-	-	0	0	A	A	
V013	3	0	0	0	0	0	1	1	V012	V014	V016	0	0	A	B
V014	-	0	0	0	0	0	1	1	-	-	1	0	B	B	
V015	-	0	0	0	0	0	1	1	-	-	1	1	B	C	
V016	-	0	0	0	1	0	0	-	-	-	0	0	A	A	
V017	4	0	0	0	0	1	0	0	V016	V018	V020	0	0	A	B
V018	-	0	0	0	0	1	0	0	-	-	1	0	B	B	
V019	-	0	0	0	0	1	0	0	-	-	1	1	B	C	
V020	-	0	0	0	1	0	1	0	-	-	0	0	A	A	
V021	5	0	0	0	1	0	1	0	V020	V022	V024	0	0	A	B
V022	-	0	0	0	1	0	1	0	-	-	1	0	B	B	
V023	-	0	0	0	1	0	1	0	-	-	1	1	B	C	
V024	-	0	0	0	1	1	0	-	-	-	0	0	A	A	
V025	6	0	0	0	1	1	0	V024	V026	V028	0	0	A	B	
V026	-	0	0	0	1	1	0	-	-	-	1	0	B	B	
V027	-	0	0	0	1	1	0	-	-	-	1	1	B	C	
V028	-	0	0	0	1	1	1	-	-	-	0	0	A	A	
V029	7	0	0	0	1	1	1	1	V028	V030	V032	0	0	A	B
V030	-	0	0	0	1	1	1	1	-	-	1	0	B	B	
V031	-	0	0	0	1	1	1	1	-	-	1	1	B	C	
V032	-	0	0	1	0	0	0	-	-	-	0	0	A	A	
V033	8	0	0	1	0	0	0	0	V032	V034	V036	0	0	A	B
V034	-	0	0	1	0	0	0	0	-	-	1	0	B	B	
V035	-	0	0	1	0	0	0	0	-	-	1	1	B	C	
V036	-	0	0	1	0	0	1	0	-	-	0	0	A	A	
V037	9	0	0	1	0	0	1	0	V036	V038	#REF!	0	0	A	B
V038	-	0	0	1	0	0	1	0	-	-	1	0	B	B	
V039	-	0	0	1	0	0	1	0	-	-	1	1	B	C	

.....< 中略 >.....

【0074】

※※【表2】

		V216	1	0	1	1	0	V216	V218	V220	0	0	0	A	A	V216	
V217	54	-	V218	1	1	0	1	1	0	V216	V218	V220	1	0	A	B	V217 (合成)
V218	-	V218	1	1	0	1	1	0	-	-	-	1	0	B	B	V218	
V219	-	V219	1	1	0	1	1	0	-	-	-	1	0	C	C	V219 (合成)	
V220	V220	1	1	0	1	1	1	V220	V222	V224	0	0	0	A	A	V220	
V221	-	V221	1	1	0	1	1	V220	V222	V224	0	1	0	A	B	V221 (合成)	
V222	-	V222	1	1	0	1	1	-	-	-	1	0	0	B	B	V222	
V223	-	V223	1	1	0	1	1	-	-	-	1	1	1	B	C	V223 (合成)	
V224	V224	1	1	1	0	0	0	V224	V226	V228	0	0	0	A	A	V224	
V225	-	V226	1	1	1	0	0	V224	V226	V228	0	1	0	A	B	V225 (合成)	
V226	-	V226	1	1	1	0	0	-	-	-	1	0	0	B	B	V226	
V227	-	V227	1	1	1	0	0	-	-	-	1	1	1	B	C	V227 (合成)	
V228	V228	1	1	1	0	0	1	V228	V230	V232	0	0	0	A	A	V228	
V229	-	V230	1	1	1	0	0	V228	V230	V232	0	1	0	A	B	V229 (合成)	
V230	-	V231	1	1	1	0	0	-	-	-	1	0	0	B	C	V230	
V231	-	V231	1	1	1	0	0	-	-	-	1	1	1	B	C	V231 (合成)	
V232	V232	1	1	1	0	1	0	V232	V234	V236	0	0	0	A	A	V232	
V233	-	V234	1	1	1	0	1	V232	V234	V236	0	1	0	A	B	V233 (合成)	
V234	-	V234	1	1	1	0	1	-	-	-	1	0	0	B	B	V234	
V235	-	V235	1	1	1	0	1	-	-	-	1	1	1	B	C	V235 (合成)	
V236	V236	1	1	1	0	1	1	V236	V238	V240	0	0	0	A	A	V236	
V237	-	V238	1	1	1	0	1	V236	V238	V240	0	1	0	A	B	V237 (合成)	
V238	-	V239	1	1	1	0	1	-	-	-	1	0	0	B	B	V238	
V239	-	V239	1	1	1	0	1	-	-	-	1	1	1	B	D	V239 (合成)	
V240	V240	1	1	1	1	0	0	V240	V242	V244	0	0	0	A	A	V240	
V241	-	V242	1	1	1	1	0	V240	V242	V244	0	1	0	A	B	V241 (合成)	
V242	-	V242	1	1	1	1	0	-	-	-	1	0	0	B	B	V242	
V243	-	V243	1	1	1	1	0	-	-	-	1	1	1	B	C	V243 (合成)	
V244	V244	1	1	1	1	0	1	V244	V246	V248	0	0	0	A	A	V244	
V245	-	V246	1	1	1	1	0	V244	V246	V248	0	1	0	A	B	V245 (合成)	
V246	-	V246	1	1	1	1	0	-	-	-	1	0	0	B	B	V246	
V247	-	V247	1	1	1	1	0	-	-	-	1	1	1	B	C	V247 (合成)	
V248	V248	1	1	1	1	1	0	V248	V250	V252	0	0	0	A	A	V248	
V249	-	V250	1	1	1	1	1	V248	V250	V252	0	1	0	A	B	V249 (合成)	
V250	-	V250	1	1	1	1	1	-	-	-	1	0	0	B	B	V250	
V251	-	V251	1	1	1	1	1	-	-	-	1	1	1	B	D	V251 (合成)	
V252	V252	1	1	1	1	1	1	V252	V254	V256	0	0	0	A	A	V252	
V253	-	V254	1	1	1	1	1	V252	V254	V256	0	1	0	A	B	V253 (合成)	
V254	-	V254	1	1	1	1	1	-	-	-	1	0	0	B	B	V254	
V255	-	V255	1	1	1	1	1	-	-	-	1	1	1	B	C	V255 (合成)	
		V256															

【0075】各表中、「階調電圧」は表示データに対応した階調電圧、「デコーダ入力」は本実施例でデコーダに入力される階調電圧、「ディジタル入力ビット」はドレインドライバに入力される表示データ（8ビット、256階調）、「マルチプレクサ入力電圧」は「ディジタル入力ビット」の上位6ビットにより決定する3個の隣接する階調電圧（各々が図6、図7に示したA、B、Cの配線に振り分けられる）、「マルチプレクサ選択電圧」は「ディジタル入力ビット」の下位2ビットにより、前記（Vin1, Vin2）に接続される階調電圧である。

【0076】本実施例により、M/2（総階調数が奇数）またはM/2+1（総階調数が偶数）の入力電圧からM階調の出力電圧を生成することができ、チップ面積の縮小が可能となり、また、チップ面積を増加することなく液晶の特性（図20で後述）に合った出力電圧を得ることができるために、液晶パネルの低コスト化と液晶表示装置の狭額縫化を実現できる。

【0077】したがって、図25で説明したトーナメント型デコーダを用いた場合と比較して、回路規模を大幅に低減できると共に、階調電圧配線数も256本から192本に低減できる。

【0078】図8は従来のトーナメント型デコーダを用いた場合の出力経路の説明図、図9は本実施例のデコーダにおける出力経路の説明図である。図8に示した従来のデコーダでは、選択された階調電源は8個の直列MOSトランジスタを通じて出力アンプ（図中、バッファアンプ）に出力する。

【0079】これに対し、図9に示した本実施例のデコ

* 一ダ回路では、3個の直列接続されたMOSトランジスタを通じて出力アンプに入力される。これにより、デコーダを構成するMOSトランジスタの全オン抵抗（トータルオン抵抗）は図8に比較して大幅に低減され、前記図27で説明したドライバ内部の遅延時間が低減される。つまり、階調電圧の書き込み不足を抑制することができる。

【0080】また、多階調化、高電圧化に伴う表示データのデコード回路の増加を抑え、チップサイズの増大を抑制してより安価な多階調ドレインドライバを実現し、液晶表示装置の狭額縫化と低価格化を可能とした実施例について説明する。

【0081】図10はデコード回路で多階調化を実現するドレインドライバの構成を説明する概略図である。本実施例は、前記した2入力の出力アンプ回路を使用することを前提とし、入力8ビットを6ビットと2ビットに分割し、6ビットのデコードにトーナメント方式のデコーダ（図中では、トーナメントと表記）を用いた。

【0082】図10において、8ビットの表示データについて、6ビット（D0P, D0N, D1P, D1N, D2P, D2N, D3P, D3N, D4P, D4N, D5P, D5N）の入力階調を次の3つのブロック（A, B, C）に分割する。すなわち、0, 8, ..., 0+8n, ..., 248, 256階調をトーナメント1（Aデコーダ）でデコードし、2, 6, 2+4n, ..., 250, 254階調をトーナメント2（Bデコーダ）でデコードし、4, 4+8n, ..., 252階調をトーナメント3（Cデコーダ）でデコードする。トーナメント1、トーナメント2およびトーナメント3で第1のデコーダ

19

(1stデコーダ)を構成する。

【0083】第1のデコーダの出力VA, VB, VCはDON, DOPを切換え信号とする選択回路を通して2ビット(D6P, D6N, D7P, D7N)の第2のデコーダ(2ndデコーダ)に入力され、2つの出力OUT1(Vn), OUT2(Vn+2)を得る。選択回路は3つのブロックの出力VA, VB, VCのそれから1つの出力を選択して第2デコーダに入力し、2つの出力OUT1(Vn), OUT2(Vn+2)を得る。この2つの出力OUT1(Vn), OUT2(Vn+2)は、前記第1実施例で説明した2入力の出力アンプ回路に印加される。

【0084】図11は本実施例における第1デコード回路をさらに説明する全体構成図である。第1デコーダは、前記Aデコーダ、Bデコーダ、Cデコーダに抵抗分割回路(ラダー抵抗)からの階調電圧を入力する。AデコーダとBデコーダは6ビットの同一構成であり、それぞれ階調電圧0~m~64, 1~n~64が印加される。CデコーダはAデコーダとBデコーダの半分の規模(5ビット)であり、ラダー抵抗から階調電圧1~3, 2, 3が印加される。

【0085】Aデコーダからは0+8nの階調電圧が出力A(VA)として出力され、Bデコーダからは2+4nの階調電圧が出力B(VB)として出力され、Cデコーダからは4+8nの階調電圧が出力C(VC)として出力される。

【0086】図12は図11における第1デコーダのMOS構成の模式的説明図である。Aデコーダに入力する0+8nの階調電圧は、6個のMOSトランジスタを通り、表示データD7, D6, D5, D5, D3, D2で選択されて出力A(VA)となる。同様に、Bデコーダに入力する2+4nの階調電圧は、6個のMOSトランジスタを通り、表示データD7, D6, D5, D5, D3, D2で選択されて出力B(VB)となる。Cデコーダは5個のMOSトランジスタを通り、入力する4+8nの階調電圧は表示データD7, D6, D5, D5, D3で選択されて出力B(VB)となる。

【0087】図13は図11における第2デコーダのMOS構成の模式的説明図である。図11で説明したように、第1デコーダから入力するA(VA), B(VB), C(VC)は、表示データD2(DON), 反転D2(DOF:図ではDOFの上部に横線を付して示す。以下、同様)を選択信号として選択され、表示データ

総階調数が奇数: V0, V2, V4, ..., V(M-3), V(M-1) ←総数 M/2 個

総階調数が偶数: V0, V2, V4, ..., V(M-4), V(M-2), V(M-1) ←総数 M/2 +1 個

となる。

【0094】図17は図16におけるデコーダの詳細を説明するブロック図である。この図では、図16に示した階調を(4n+1)番目の階調が入力されるデコーダBの出力をVi n2、(4n+3)番目の階調が入力さ※50

20

*タD1, 反転D1, D0, 反転D0をデコードして、出力Vn(OUT1), Vn+2(OUT2)を出力する。

【0088】図14は図10におけるトーナメント1、2の具体的な回路図、図15は同トーナメント3の具体的な回路図である。図14において、トーナメント1では、階調電圧0+8n(V00, V08, V16, ..., V248, V256)を入力し、表示データDOP, DON, D1P, D1N, D2P, D2N, D3P, D3N, D4P, D4N, D5P, D5Nをデコードして出力VAを得る。同様に、トーナメント2では、階調電圧2+4n(2, 6, 10, 14, ..., 250, 254)を入力し、表示データDOP, DON, D1P, D1N, D2P, D2N, D3P, D3N, D4P, D4N, D5P, D5Nをデコードして出力VAを得る。

【0089】トーナメント3では、階調電圧4+8n(V04, V12, V20, ..., V244, V252)を入力し、表示データDOP, DON, D1P, D1N, D2P, D2N, D3P, D3N, D4P, D4N, D5P, D5Nをデコードして出力VAを得る。

【0090】本実施例により、従来の8MOSデコーダ256個から、第1デコーダの6MOSデコーダ64個+6MOSデコーダ32個+5MOSデコーダ32個+第2デコーダに低減できる。また、第1デコーダの出力数すなわち階調電圧配線数は128本で構成できる。

【0091】したがって、256階調化等に多階調化した場合のドレインドライバのチップサイズの増加を抑え、液晶パネルの高画質化、液晶表示装置の狭額縫化が達成できる。さらに、デコード回路の全オン抵抗を下げることが可能となり、階調電圧出力の遅延時間の増大を抑制し、液晶パネルの高解像度化、高速化を達成できる。

【0092】図16は本発明の第3実施例にかかるTFT方式アクティブマトリクス型液晶表示装置(TFT液晶表示装置)のドレインドライバの構成を示すブロック図である。本実施例では、表示データをaビットのD0~D(a-1)、階調電圧をV0, V2, V4, ..., V(M-4), V(M-2), V(M-1)として説明する。

40 【0093】このドレインドライバは、ラッチアドレスセレクタ2、ラッチ回路45、デコーダ7, ..., 出力アンプ回路8, ... で構成される。前記したように、

総階調数が奇数: V0, V2, V4, ..., V(M-3), V(M-1) ←総数 M/2 個

総階調数が偶数: V0, V2, V4, ..., V(M-4), V(M-2), V(M-1) ←総数 M/2 +1 個

※れるデコーダAの出力をVi n1とする。

【0095】また、図18は図17の動作の説明図である。以下、図17の回路を図18と共に説明する。

【0096】出力アンプ回路8により合成する階調(V1, V3, ...)は最下位の階調V0が全て「0」で

21

ある時には表示データの最下位ビット (LSB) が「1」となり、最下位の階調V0が全て「1」である時には上記LSBは「0」となる。

【0097】したがって、Vin1とVin2ともに同一の階調電圧 (例えば、V2) を出力したい場合には、デコーダAで階調電圧V2を選択し、デコーダBはオフ (ハイインピーダンス状態) とし、LSB (図17ではD0) により制御するスイッチSWによってVin1とVin2を短絡させる。これにより、出力Vin1とVin2はともにV2となる。

22

* 【0098】Vin1とVin2に隣接した階調電圧 (例えば、V0とV2) を出力したい場合には、デコーダAでV2を選択し、デコーダBでV0を選択する。これにより、出力Vin1にはV2を、Vin2にはV0を出力させることができる。

【0099】最下位の階調を選択する時の表示データが全て「0」である時の表示データとデコーダ選択電圧、および出力アンプ回路の出力電圧の関係を表3に示す。

【0100】

【表3】

階調電圧	デコーダ入力 入力番号 (n=0,1,...)	デジタル入力ビット								デコーダ選択電圧	アンプ出力
		D7	D6	D5	D4	D3	D2	D1	D0	Vin1	Vin2
V0	V0	4n+1	0	0	0	0	0	0	0	V0	V0
V1	-	-	0	0	0	0	0	0	1	V0	V2
V2	V2	4n+3	0	0	0	0	0	0	1	V2	V2
V3	-	-	0	0	0	0	0	0	1	V2	V4
V4	V4	4n+1	0	0	0	0	0	1	0	V4	V4
V5	-	-	0	0	0	0	0	1	0	V4	V6
V6	V6	4n+3	0	0	0	0	0	1	1	V6	V6
V7	-	-	0	0	0	0	0	1	1	V6	V7(合成)
V8	V8	4n+1	0	0	0	0	1	0	0	V8	V8
V9	-	-	0	0	0	0	1	0	0	V8	V9(合成)
V10	V10	4n+3	0	0	0	0	1	0	1	V10	V10
V11	-	-	0	0	0	0	1	0	1	V10	V12(合成)
V12	V12	4n+1	0	0	0	0	1	1	0	V12	V12
V13	-	-	0	0	0	0	1	1	0	V12	V14
V14	V14	4n+3	0	0	0	0	1	1	1	V14	V14
V15	-	-	0	0	0	0	1	1	1	V14	V15(合成)
V16	V16	4n+1	0	0	0	1	0	0	0	V16	V16
V17	-	-	0	0	0	1	0	0	0	V16	V18
V18	V18	4n+3	0	0	0	1	0	0	1	V18	V18
V19	-	-	0	0	0	1	0	0	1	V18	V19(合成)
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
V252	V252	4n+1	1	1	1	1	1	1	0	V252	V252
V253	-	-	1	1	1	1	1	1	0	V252	V253(合成)
V254	V254	4n+3	1	1	1	1	1	1	1	V254	V254
V255	V255	-	1	1	1	1	1	1	1	V255	V255

【0101】表3は、最下位の階調を選択する時の表示データが全て0である時の表示データとデコーダ選択電圧、および出力アンプ回路の出力電圧 (同表では、アンプ出力) の関係を例として示してある。言うまでもなく、「0」と「1」を入替えると表示データとの関係が成立する。なお、ここでは、256階調を例として説明してある。

【0102】TFT型液晶パネルのドレインドライバとしては、この表示データに対応した階調電圧を出力する必要がある。従って、出力アンプ回路で合成する階調を出力する場合には、ドレインドライバに入力される表示データと異なる階調をドライバ内で選択する (2値) 必要がある。

【0103】例えば、表示データV7を選択する場合、
入力される表示データ: V7 → 00000111
選択する階調 : V6 → 00000110
: V8 → 00001000

となる。

【0104】また、デコーダA、B側から見ると、まず、デコーダA (4n+3) について、例えばV6では、選択する必要がある階調は、

V6: 00000110

※V5: 00000101

30 V7: 00000111

の3つになる。

【0105】つまり、V6はV5～V7を選択する表示データが入力した場合に選択する必要がある訳で、V6は上位6ビットが一致していれば下位2ビットについては「00」以外では選択して良いことになる ('00'の時は (4n+1) が選択されるため、(4n+3) 番目すなわちデコーダAはオフする必要があるので選択不可)。

40 【0106】以上をまとめると、(4n+3) 番目のビットを除く (表3では「00」) 組合せでは1義的に決まった出力をすればよく、下位2ビットが (4n+1) 番目に対応するビットとなる回路構成であると言ええることができる。

【0107】一方、デコーダB (4n+1) について、例えばV8では、選択する必要がある階調は、

V7: 00000111

V8: 00001000

V9: 00001001

の3つになる。(4n+1) 番目は桁上げのビットにあたるため、下位側のビットが1つ前の階調と大きく異なるため、

る（例えば、V7、V8の下位4ビット）。したがって、上位6ビットでは1義的には決まらない。例えば、V7の上位6ビットと(4n+1)群の1つ前の階調であるV4の上位6ビットは、どちらも「000001」となり、V4までも選択してしまい、V4とV8(V7を選択しようとしてV8を選んでいる状態)が短絡し、NGとなる。そのため、上位7ビットまでを含める必要がある。そうすることで、V7～V9の入力表示デコーダで(4n+1)群の中からV8のみを選択することができる。

【0108】以降は、デコーダAと同様に、下位2ビットについて、それが「10」のときはオフする（「10」の時は(4n+3)が出力されるため、(4n+1)番目すなわちデコーダBはオフする必要がある。

【0109】以上をまとめると、(4n+1)番目の階調選択回路（デコーダB）は下位1ビットを除くビットで一義的に決まった出力をすればよく、下位2ビットが(4n+3)番目に対応するビットとなる回路構成であると言え換えることができる。

【0110】なお、表3中のVin1、Vin2は組合せなので順不同である（図面と表3中のVin1、Vin2の対応が逆になっている部分がある）。

【0111】図19は図18を具体化した実際の回路構成を説明する回路図で、低電圧側（負極性側）デコーダを示す。ちなみに、高電圧側（正極性側）デコーダは、入力する表示データのTとBを入替え、NMOSトランジスタを全てPMOSトランジスタとすることで構成される。なお、同図は部分のみを示してある。

【0112】図20はドレインドライバの動作特性の説明図である。同図（a）は液晶印加電圧と輝度との関係（液晶の特性）、（b）はドレインドライバの出力電圧特性、（c）は階調と輝度の関係を示す。上記（b）に示したように、ドレインドライバの出力は階調データに*

*対して非線形である。

【0113】図20の（b）に示したように、後述する差動アンプを用いた出力アンプ回路に2つの入力を印加してそれらの間の中間電圧を出力する場合、2つの入力値の電圧差が大きいと、中間の電圧にならずに、一方の電圧値に偏る特性を持っている。

【0114】V0入力時の出力アンプ回路の差動部電流： $(1/2) \cdot \beta (V0 - Vth)^2$

V2入力時の出力アンプ回路の差動部電流： $(1/2) \cdot \beta (V2 - Vth)^2$

10 であり、Vthをほぼ同一とすると、V0とV2の差が大きくなると2乗で効いてくるので、例えばV2 > V0 とすると、電流値がV2入力の近くになるため、出力される合成電圧はV2寄りに傾くが、差が小さい場合は、ほぼ中間値になる。

【0115】図20の（a）に示した液晶印加電圧に対する輝度特性（B-Vカーブ）は所謂 γ 特性を有し、輝度の大きい部分と小さい部分では、輝度あたりの液晶印加電圧の差が大きいのが普通と考えられるので、この部分で出力アンプ回路での合成を行うと、グラデーションでは1階調おきに輝度変化があるように見える可能性が大きい。

【0116】したがって、この部分に対応する階調では、出力アンプ回路の合成は行わず、そのまま階調電源を出力する回路構成とする必要がある。

【0117】上記した事実を踏まえて、本実施例では（a）の液晶の特性と（b）のドレインドライバの特性とを組合せることで（c）に示したように白表示側と黒表示側共にツブレの無い表示を得るようにしたもので、下記の表4に示した1～5のような処理を行うことにより、表示品質の劣化を回避するものである。

【0118】

【表4】

1	白表示側と黒表示側のN階調分を通常の1電圧入力とする（白黒共ツブなし）
2	白表示側のみを通常の1電圧入力とする（白ツブなし）
3	黒表示側のみを通常の1電圧入力とする（黒ツブなし）
4	リニアでない部分を通常の1電圧入力とする（リニアでない領域もツブなし）
5	階調電圧差の大きい部分を通常の1電圧入力とする（出力アンプ回路で中間階調を出すのが困難）

【0119】本実施例により、多階調化した場合の全階調域で高解像化が達成され、高品質の表示を得ることができる。

【0120】図21は本発明の第4実施例にかかるTFT方式アクティブマトリクス型液晶表示装置（TFT液晶表示装置）のドレインドライバの構成を示すブロック図

※図である。本実施例は、図16における入力階調電圧V0～Vin～V(M-1)のうちの下側のk階調と上側の(M-n)階調分を全て直接入力（表示データと入力階調および出力階調が1対1で対応する通常のデコーダ）としたものである。本実施例では、前記表4の1、4、5に対応した処理を行うものである。その他の構成と動

25

作は図16で説明した実施例と同様である。

【0121】本実施例によっても同様に、多階調化した場合の全階調域で高解像化が達成され、高品質の表示を得ることができる。

【0122】図22は図21におけるデコーダの詳細を説明するブロック図であり、前記図17に示したデコーダに入力階調電圧の下側のk階調分と上側の(M-n)階調分を全て直接入力し、入力表示データと入力階調およびデコーダの出力階調が1対1で対応するデコーダCを追加したものである。

*10

26

*【0123】デコーダCの2つの出力V_{in1}とV_{in2}には表示データに1対1で対応した同じ階調電圧が出力されるようにしている。デコーダAとデコーダBは図19と同様なので説明は省略する。

【0124】本実施例の表示データ出力（出力アンプ回路の出力）を入力階調電圧V₀～V₂₅₅を例としてまとめたものを表5と表6に示す（表が大きいため、2つの表に分割し、中間は省略してある）。

【0125】

【表5】

階調電圧	デコーダ入力 入力 電圧 (n=0,1,...)	デジタル入力ビット								デコーダ選択 電圧		アンプ出力	
		D7	D6	D5	D4	D3	D2	D1	D0	V _{in1}	V _{in2}		
V0	V0	0	0	0	0	0	0	0	0	0	V0	V0	V0
V1	V1	0	0	0	0	0	0	0	0	1	V1	V1	V1
V2	V2	0	0	0	0	0	0	0	1	0	V2	V2	V2
V3	V3	0	0	0	0	0	0	0	0	1	V3	V3	V3
V4	V4	0	0	0	0	0	0	1	0	0	V4	V4	V4
V5	V5	0	0	0	0	0	0	0	1	0	V5	V5	V5
V6	V6	0	0	0	0	0	0	0	1	1	V6	V6	V6
V7	V7	0	0	0	0	0	0	1	1	1	V7	V7	V7
V8	V8	0	0	0	0	0	1	0	0	0	V8	V8	V8
V9	V9	0	0	0	0	0	1	0	0	1	V9	V9	V9
V10	V10	0	0	0	0	0	1	0	1	0	V10	V10	V10
V11	V11	0	0	0	0	0	1	0	1	1	V11	V11	V11
V12	V12	0	0	0	0	0	1	1	0	0	V12	V12	V12
V13	V13	0	0	0	0	0	1	1	0	1	V13	V13	V13
V14	V14	0	0	0	0	0	1	1	1	0	V14	V14	V14
V15	V15	0	0	0	0	0	1	1	1	1	V15	V15	V15
V16	V16	0	0	0	0	0	1	1	1	0	V16	V16	V16
V17	V17	0	0	0	0	0	1	0	0	0	V17	V17	V17
V18	V18	0	0	0	0	0	1	0	0	1	V18	V18	V18
V19	V19	0	0	0	0	0	1	0	0	1	V19	V19	V19
V20	V20	0	0	0	0	0	1	0	1	0	V20	V20	V20
V21	V21	0	0	0	0	0	1	0	1	0	V21	V21	V21
V22	V22	0	0	0	0	0	1	0	1	1	V22	V22	V22
V23	V23	0	0	0	0	0	1	0	1	1	V23	V23	V23
V24	V24	0	0	0	0	0	1	1	0	0	V24	V24	V24
V25	V25	0	0	0	0	0	1	1	0	0	V25	V25	V25
V26	V26	0	0	0	0	0	1	1	0	1	V26	V26	V26
V27	V27	0	0	0	0	0	1	1	0	1	V27	V27	V27
V28	V28	0	0	0	0	0	1	1	1	0	V28	V28	V28
V29	V29	0	0	0	0	0	1	1	1	0	V29	V29	V29
V30	V30	0	0	0	0	0	1	1	1	1	V30	V30	V30
V31	V31	0	0	0	0	0	1	1	1	1	V31	V31	V31
V32	V32	4n+1	0	0	1	0	0	0	0	0	V32	V32	V32
V33	-	0	0	1	0	0	0	0	0	1	V32	V34	V33(合成)
V34	V34	4n+3	0	0	1	0	0	0	1	0	V34	V34	V34
V35	-	0	0	1	0	0	0	0	1	1	V34	V38	V35(合成)
V36	V36	4n+1	0	0	1	0	0	0	1	0	V36	V36	V36
V37	-	0	0	1	0	0	0	1	0	1	V36	V38	V37(合成)
V38	V38	4n+3	0	0	1	0	0	0	1	1	V36	V38	V38
V39	-	0	0	1	0	0	0	1	1	1	V38	V40	V38(合成)
V40	V40	4n+1	0	0	1	0	0	1	0	0	V40	V40	V40
V41	-	0	0	1	0	0	1	0	0	1	V40	V42	V41(合成)
V42	V42	4n+3	0	0	1	0	0	1	0	1	V42	V42	V42
V43	-	0	0	1	0	0	1	0	1	1	V42	V44	V43(合成)
V44	V44	4n+1	0	0	1	0	1	0	1	0	V44	V44	V44
V45	-	0	0	1	0	0	1	0	1	0	V44	V46	V45(合成)
V46	V46	4n+3	0	0	1	0	0	1	1	1	V46	V46	V46
V47	-	0	0	1	0	0	1	0	1	1	V46	V48	V47(合成)
V48	V48	4n+1	0	0	1	1	0	0	0	0	V48	V48	V48
V49	-	0	0	1	1	0	0	0	0	1	V48	V50	V49(合成)
V50	V50	4n+3	0	0	1	1	0	0	0	1	V50	V50	V50
V51	-	0	0	1	1	0	0	0	1	1	V50	V52	V51(合成)

階調電源そのまま

合成

※※【表6】

【0126】

27

V220	V220	4n+1	1	1	0	1	1	1	0	0	V220	V220	V220		
V221	-	-	-	-	0	1	-	-	0	1	V220	V222	V221(合成)		
V222	V222	4n+3	1	1	0	1	1	1	1	0	V222	V222	V222		
V223	-	-	-	-	0	1	-	-	1	1	V222	V224	V223(合成)		
V224	V224	-	-	-	1	1	0	0	0	0	0	V224	V224	V224	
V225	V225	-	-	-	1	1	0	0	0	0	1	1	V225	V225	V225
V226	V226	-	-	-	1	1	1	0	0	0	1	0	V226	V226	V226
V227	V227	-	-	-	1	1	1	0	0	0	1	1	V227	V227	V227
V228	V228	-	-	-	1	1	1	0	0	1	0	0	V228	V228	V228
V229	V229	-	-	-	1	1	1	0	0	1	0	1	V229	V229	V229
V230	V230	-	-	-	1	1	1	0	0	1	1	0	V230	V230	V230
V231	V231	-	-	-	1	1	1	0	0	1	1	1	V231	V231	V231
V232	V232	-	-	-	1	1	1	0	1	0	0	0	V232	V232	V232
V233	V233	-	-	-	1	1	1	0	1	0	0	1	V233	V233	V233
V234	V234	-	-	-	1	1	1	0	1	0	1	0	V234	V234	V234
V235	V235	-	-	-	1	1	1	0	1	0	1	1	V235	V235	V235
V236	V236	-	-	-	1	1	1	0	1	1	0	0	V236	V236	V236
V237	V237	-	-	-	1	1	1	0	1	1	0	1	V237	V237	V237
V238	V238	-	-	-	1	1	1	0	1	1	1	1	V238	V238	V238
V239	V239	-	-	-	1	1	1	0	1	1	1	1	V239	V239	V239
V240	V240	-	-	-	1	1	1	1	0	0	0	0	V240	V240	V240
V241	V241	-	-	-	1	1	1	1	0	0	0	0	V241	V241	V241
V242	V242	-	-	-	1	1	1	1	0	0	0	1	V242	V242	V242
V243	V243	-	-	-	1	1	1	1	0	0	1	1	V243	V243	V243
V244	V244	-	-	-	1	1	1	1	0	1	0	0	V244	V244	V244
V245	V245	-	-	-	1	1	1	1	0	1	0	1	V245	V245	V245
V246	V246	-	-	-	1	1	1	1	0	1	1	0	V246	V246	V246
V247	V247	-	-	-	1	1	1	1	0	1	1	1	V247	V247	V247
V248	V248	-	-	-	1	1	1	1	1	0	0	0	V248	V248	V248
V249	V249	-	-	-	1	1	1	1	1	0	0	1	V249	V249	V249
V250	V250	-	-	-	1	1	1	1	1	0	1	0	V250	V250	V250
V251	V251	-	-	-	1	1	1	1	1	0	1	1	V251	V251	V251
V252	V252	-	-	-	1	1	1	1	1	1	0	0	V252	V252	V252
V253	V253	-	-	-	1	1	1	1	1	1	0	1	V253	V253	V253
V254	V254	-	-	-	1	1	1	1	1	1	1	1	V254	V254	V254
V255	V255	-	-	-	1	1	1	1	1	1	1	1	V255	V255	V255

28

鉛筆着色そのまま

【0127】ここでは、入力階調V0～V31、V224～V255がデコーダCに対応し、V32～V233がデコーダAとデコーダBに対応する。なお、V32～V223は前記表1と同様である。

【0128】図23は図22で説明した本発明の第4実施例を具体化した実際の回路構成を説明する回路図で、低電圧側（負極性側）デコーダを示す。ちなみに、高電圧側（正極性側）デコーダは、入力する表示データのTとBを入替え、NMOSトランジスタを全てPMOSトランジスタとすることで構成される。なお、本回路図は規模が大きいため同図は部分のみを示してある。

【0129】本実施例によっても同様に、多階調化した場合の全階調域で高解像化が達成され、高品質の表示を得ることができる。

【0130】

【発明の効果】以上説明したように、本発明によれば、チップサイズの増加を伴うことなく多階調化が実現でき、液晶パネルの高画質化、液晶表示装置の狭額縫化を達成でき、また、デコーダ回路のオン抵抗の増大を抑制でき、多階調化した液晶パネルの負荷を低減して高画質化が得られる。

【0131】すなわち、M/2（総階調数が奇数の場合）またはM/2+1（総階調数が偶数の場合）の入力電圧からM階調の出力電圧を生成できるため、ドレインドライバの回路規模を低減でき、チップ面積の縮小が可能となり、液晶のγ特性に合った出力電圧を得ることができため、TFT液晶パネルの低コスト化、液晶表示装置の額縫化が実現できる。

【図面の簡単な説明】

* 【図1】本発明の第1実施例にかかるTFT方式アクティブマトリクス型液晶表示装置のドレインドライバの構成を示すブロック図である。

【図2】本発明の第1実施例にかかるドレインドライバの一例の内部回路の説明図である。

【図3】本発明の第1実施例にかかるドレインドライバの他例の内部回路の説明図である。

【図4】図2および図3に示したドレインドライバの動作を説明するブロック図である。

【図5】本発明の第1実施例にかかるドレインドライバの出力アンプ回路の具体例の説明図である。

【図6】本発明の第1実施例にかかる階調電圧選択回路の内部構成を説明するブロック図である。

【図7】図6に示した階調電圧選択回路の具体例を説明する回路図である。

【図8】従来のトーナメント型デコーダを用いた場合の出力経路の説明図である。

【図9】本発明の第2実施例にかかるデコーダにおける出力経路の説明図である。

【図10】デコード回路で多階調化を実現するドレインドライバの構成を説明する概略図である。

【図11】本発明の第2実施例にかかる第1デコード回路をさらに説明する全体構成図である。

【図12】図11における第1デコーダのMOS構成の模式的説明図である。

【図13】図11における第2デコーダのMOS構成の模式的説明図である。

【図14】図10におけるトーナメント1、2の具体的な回路図である。

【図15】図10におけるトーナメント3の具体的な回路図である。

【図16】本発明の第3実施例にかかるTFT方式アクティピマトリクス型液晶表示装置のドレインドライバの構成を示すブロック図である。

【図17】図16におけるデコーダの詳細を説明するブロック図である。

【図18】図17の動作の説明図である。

【図19】図18を具体化した実際の回路構成を説明する回路図である。

【図20】本発明の第3実施例にかかるドレインドライバの動作特性の説明図である。

【図21】本発明の第4実施例にかかるTFT方式アクティピマトリクス型液晶表示装置のドレインドライバの構成を示すブロック図である。

【図22】図21におけるデコーダの詳細を説明するブロック図である。

【図23】図22で説明した本発明の第4実施例を具体化した実際の回路構成を説明する回路図である。

【図24】本発明を適用する液晶表示装置の概略構成を説明するブロック図である。

【図25】従来のトーナメント型デコーダ方式を用いた

ドレインドライバの構成例を説明する低電圧側専用回路の回路図である。

【図26】トーナメント型デコーダの全体構成を説明する概略図である。

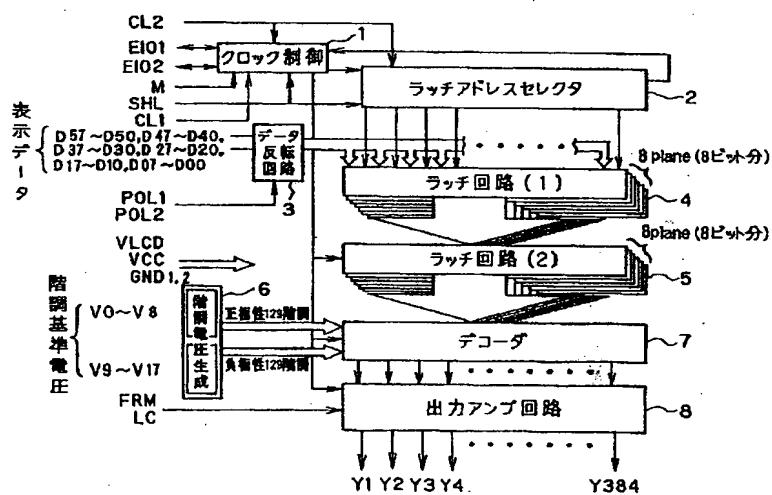
【図27】階調電圧と書き込み時間の関係の説明図である。

【符号の説明】

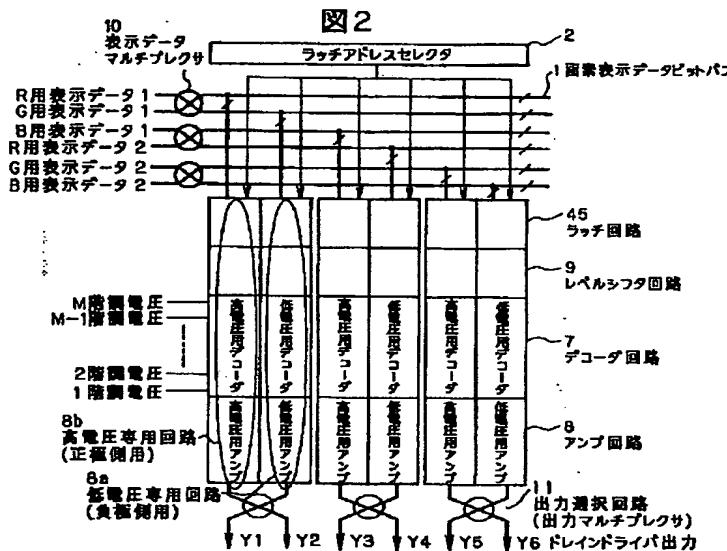
- 1 クロック制御回路
- 2 ラッチアドレスセレクタ
- 3 データ反転回路
- 4 ラッチ回路(1)
- 5 ラッチ回路(2)
- 6 階調電圧生成回路
- 7 デコーダ(デコード回路、階調電圧選択回路)
- 8 出力アンプ回路
- 8a 低電圧専用回路(低電圧側専用回路、負極側)
- 8b 高電圧専用回路(高電圧側専用回路、正極側)
- 9 レベルシフタ回路
- 10 表示データマルチプレクサ
- 11 出力マルチプレクサ
- 45 ラッチ回路。

【図1】

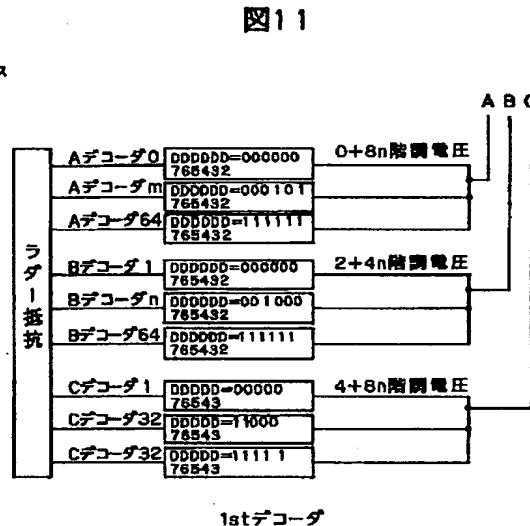
図1



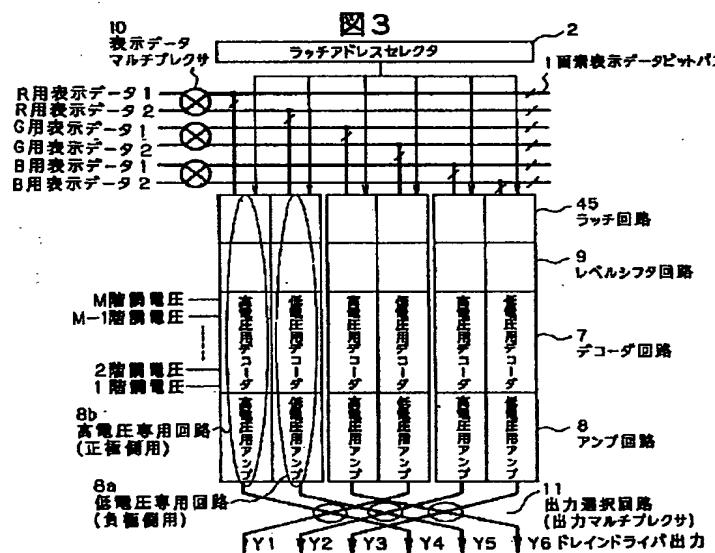
【図2】



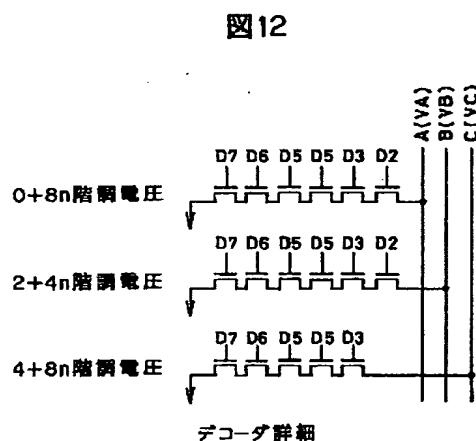
【図11】



【図3】

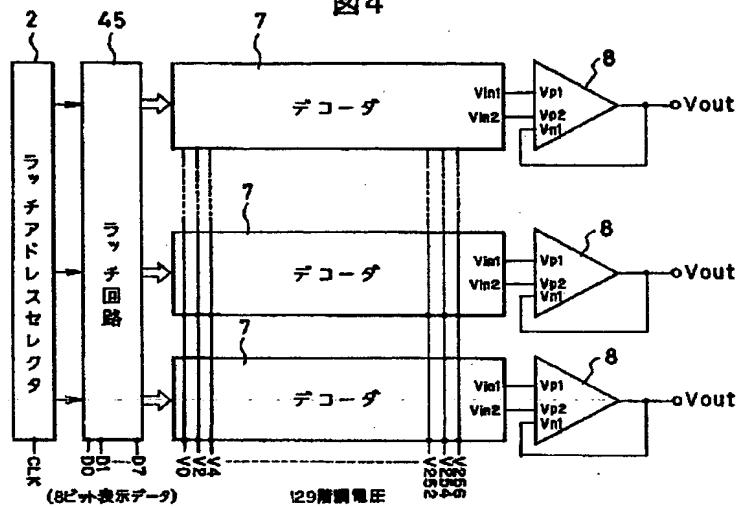


【図12】



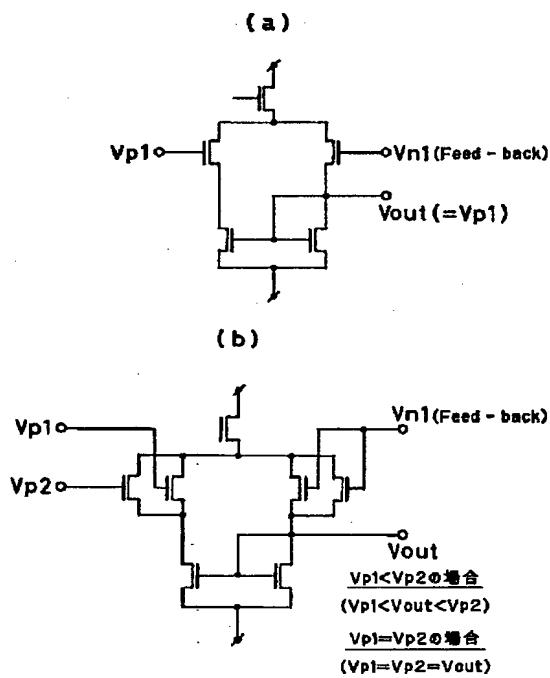
【図4】

図4



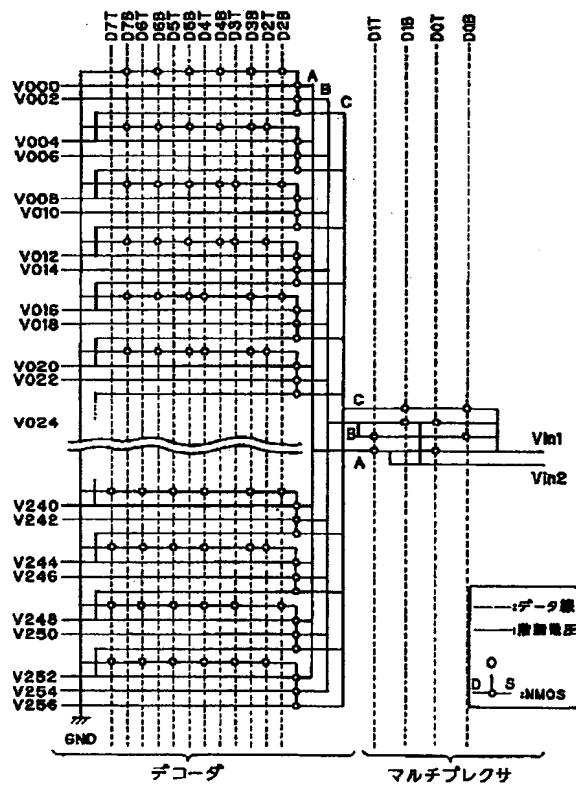
【図5】

図5



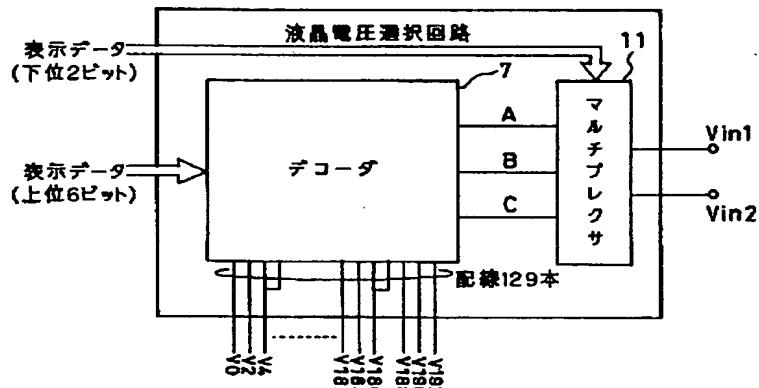
【図7】

図7



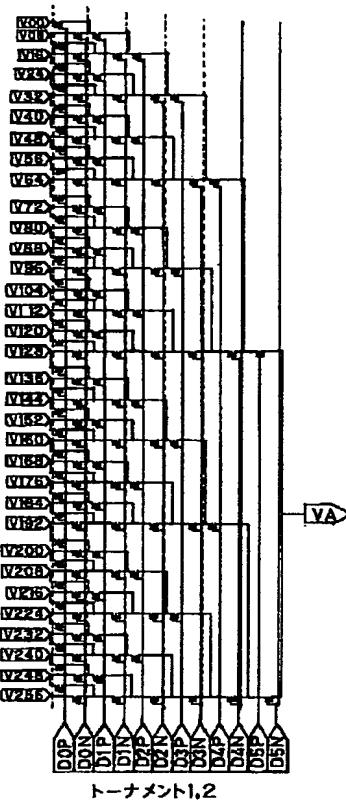
【図6】

図6



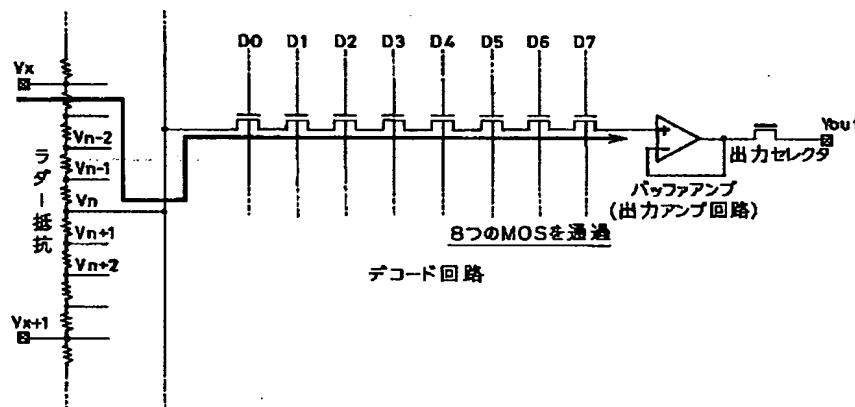
【図14】

図14



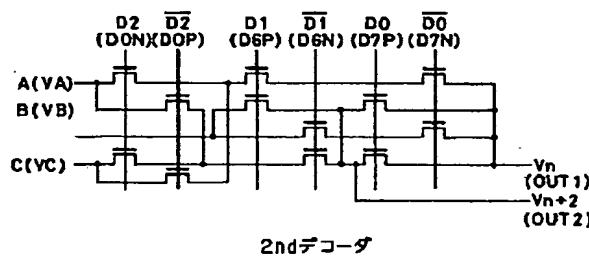
【図8】

図8



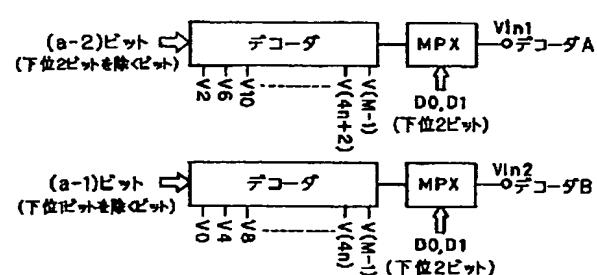
【図13】

図13



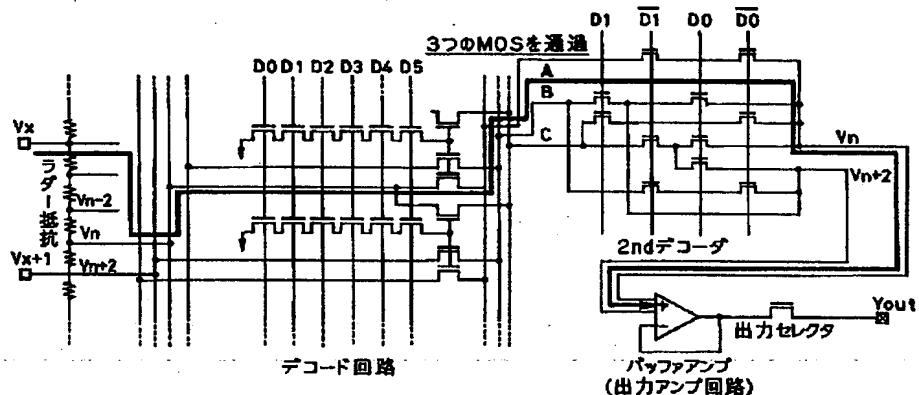
【図18】

図18



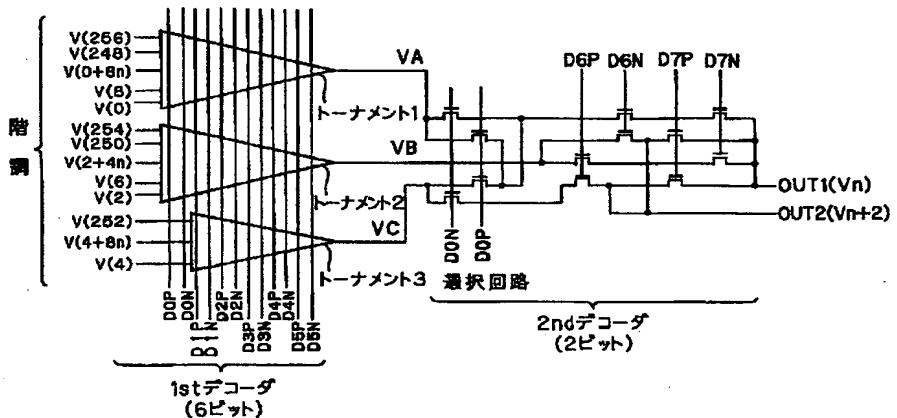
【図9】

図9



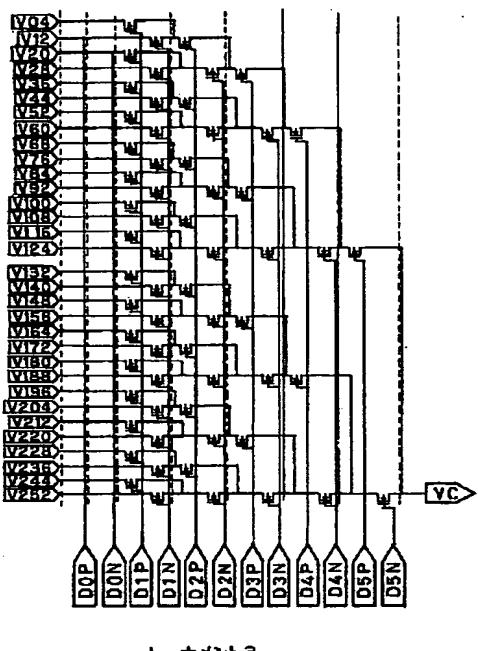
【図10】

図10



【図15】

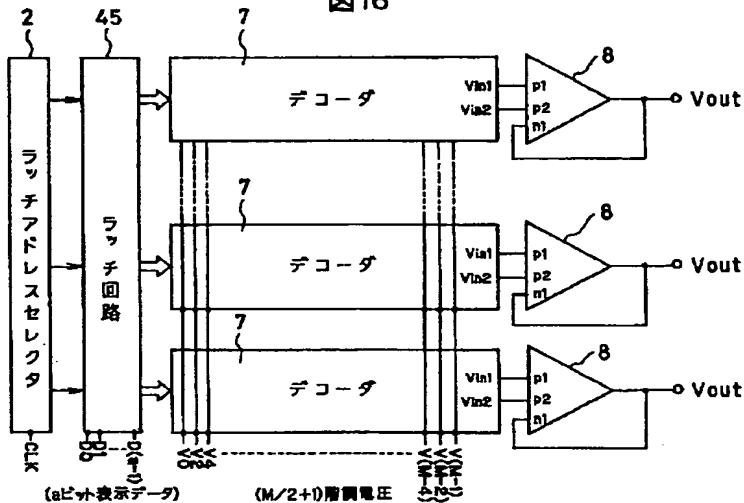
圖15



トーナメント3

【図16】

图16

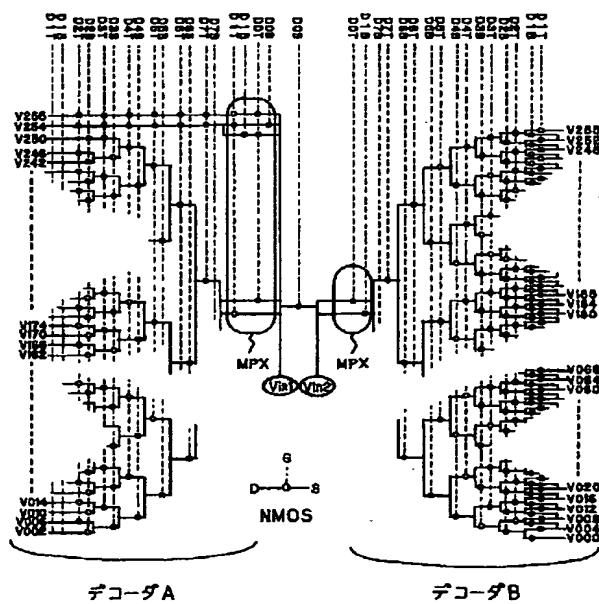
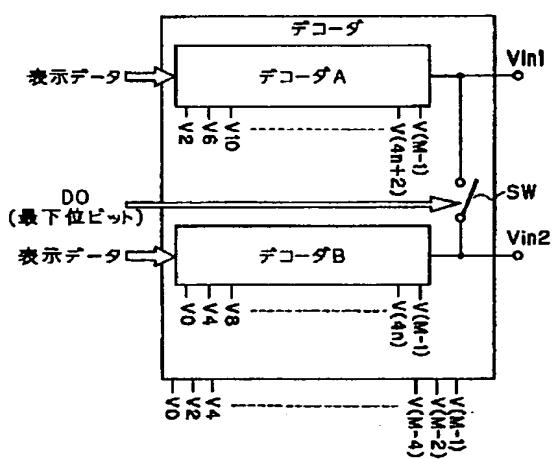


【図19】

图 19

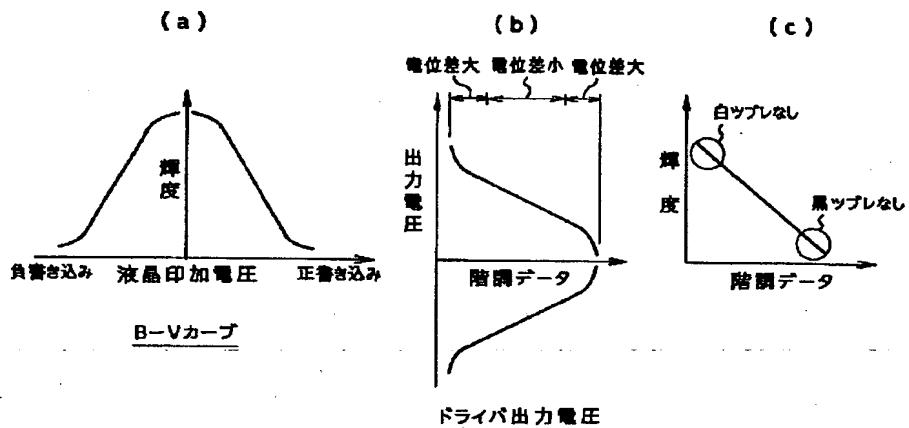
〔図17〕

図17



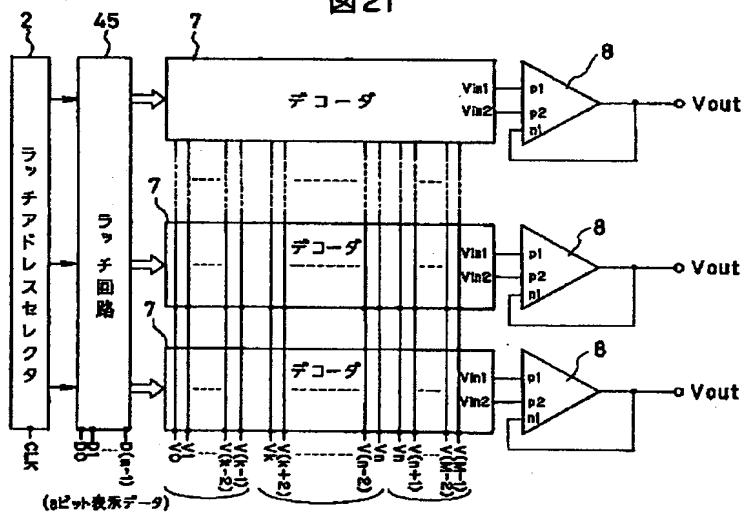
【図20】

図20



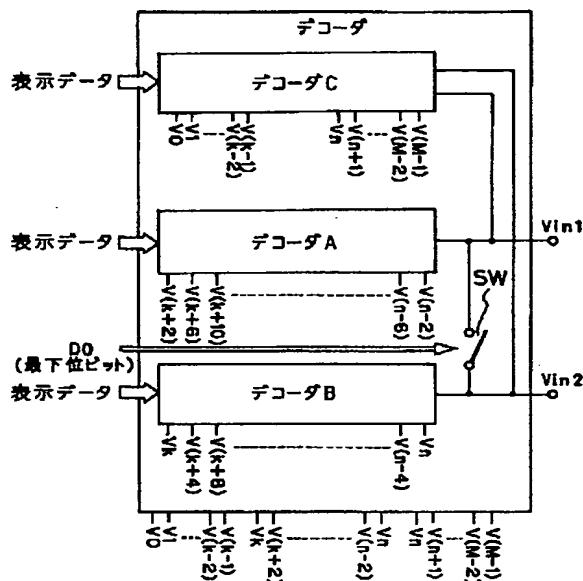
【図21】

図21



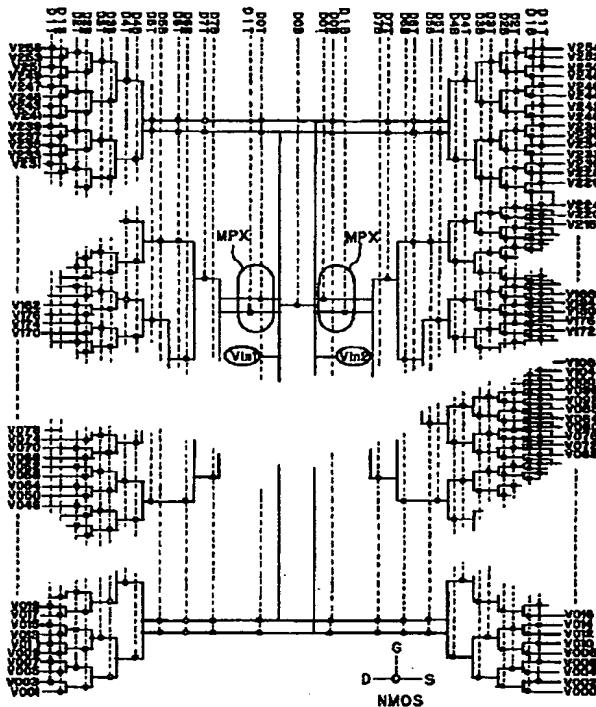
【図22】

図22



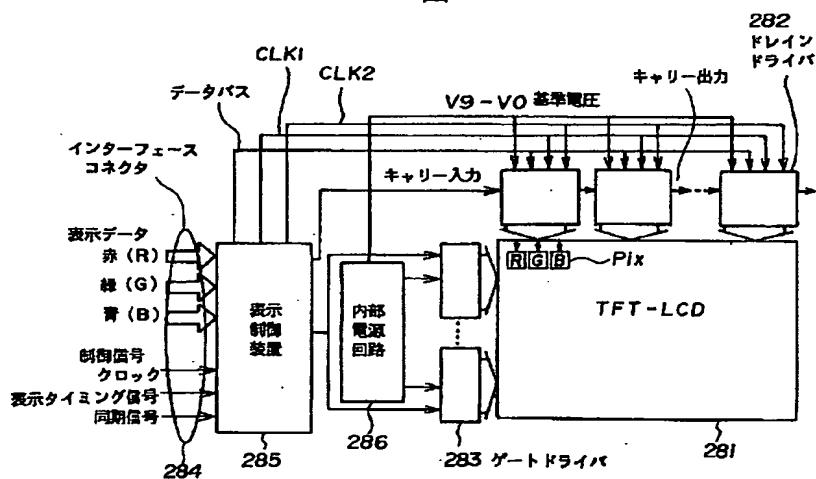
【図23】

図23

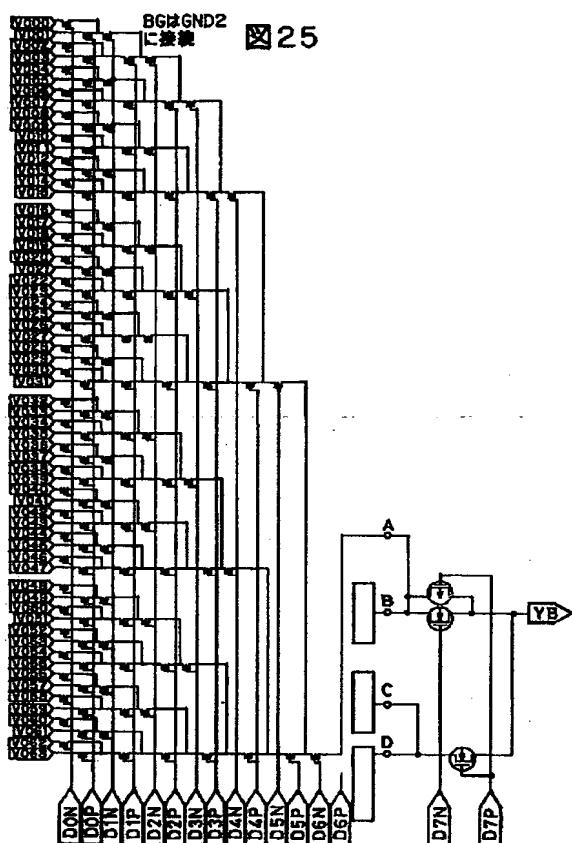


【図24】

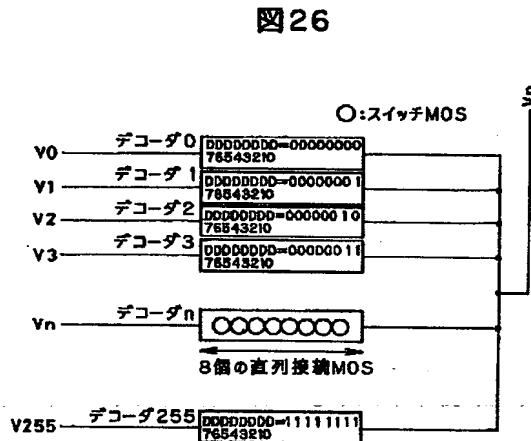
図24



【図25】

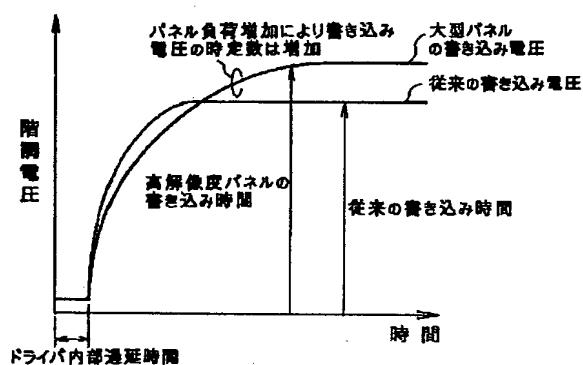


【図26】



【図27】

図27



フロントページの続き

(51) Int.C1.7	識別記号	F I	テーマコード(参考)
G 0 9 G	3/20	G 0 9 G	6 4 1 C
(72)発明者	秋山 賢一 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	(72)発明者	小寺 浩一 東京都小平市上水本町五丁目22番地 株式 会社日立超エル・エス・アイ・システムズ 内
(72)発明者	山下 祐二 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	F ターム(参考) 2H093 NA16 NA31 NA53 NC03 NC21 NC26 NC34 ND06 ND15 ND42 ND49 ND54	
(72)発明者	勇 広宣 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	5C006 AA01 AA16 AF35 AF44 BB16 BC12 BF04 BF15 BF24 BF25 BF26 BF34 BF43 BF46 EB05 FA37 FA42 FA51 FA56	
(72)発明者	後藤 充 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	5C080 AA10 BB05 DD07 DD23 DD25 DD27 EE29 FF11 JJ02 JJ03 JJ05	
(72)発明者	安川 信治 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内		

THIS PAGE BLANK (USPTO)